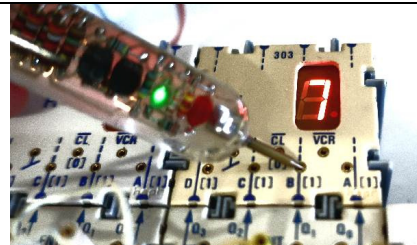


Modules logiques

Ce document suppose une connaissance partielle des circuits logique et insiste sur des notions importantes essentielles pour une approche plus intuitive que systématique dans la construction d'une application avec des logidules.

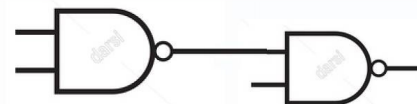
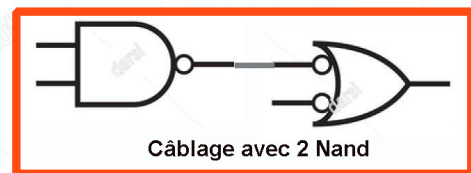
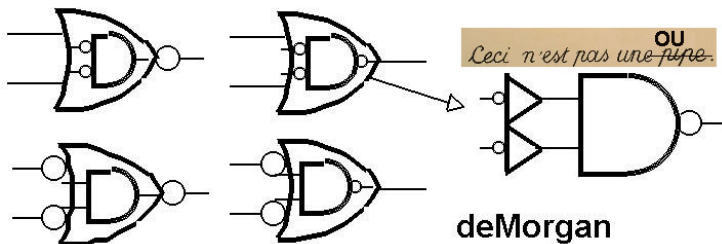
Le crayon logique est très utile pour vérifier les états logiques et le fonctionnement en pas à pas.



Portes logiques

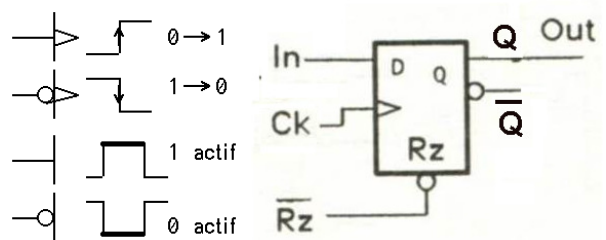
On utilise des portes Nand dans les montages. C'est important de les dessiner dans les schémas avec le rôle qu'elles jouent; elles sont transformée en Nand par le théorème de deMorgan.

Un fil est associé à une fonction. Si cette fonction est inversée, il doit y avoir un rond d'inversion aux deux extrémités.



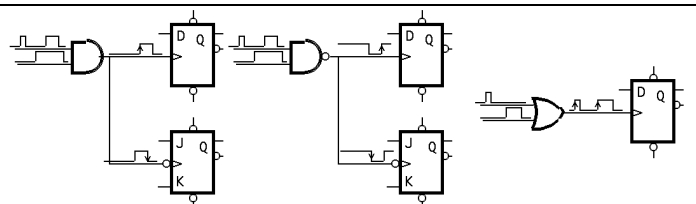
Polarité et fronts

Il y a des entrées dynamiques, sensibles à un front montant ou descendant, et des entrées statiques. Dans les signaux statiques, certains agissent immédiatement et sont prioritaires, d'autres sont échantillonnés à l'instant d'horloge. Pour la bascule D le signal D est échantillonné et doit être stable quelques nanosecondes avant et après le front montant de Ck. Rz est prioritaire.



Signal d'horloge

Une impulsion d'horloge Ck est positive; elle peut être inversée /Ck. En logique asynchrone, on fait des opérations sur les Ck, mais il faut être très attentif.



Systèmes asynchrones et synchrones

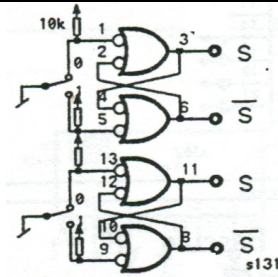
Typiquement, si on réalise une horloge, on définit des modules qui comptent par 100, 60, 24. On se permet des "glitch" de décodage pour agir sur un reset. Chaque module génère un signal qui sert de Clock pour incrémenter le compteur suivant.

Dans un système synchrone, l'horloge va partout et les compteurs ont des entrées échantillonnées qui définissent l'évolution,

Par exemple, le compteur synchrone pour une horloge a 6 compteurs par 16 avec le même clock. Le premier module qui divise par 60 génère un "enable" à 59 pour que le compteur des minutes avance, c'est à 59 minutes 59 secondes que le compteur des heures a l'autorisation d'avancer pendant 1 clock. Si on n'a pas d'exigence de tourner à la fréquence maximale des circuits, on simplifie la logique avec un mélange des deux approches (Labo Réveil matin).

Rebonds de contact

Un interrupteur simple (logidule interrupteur quadruple) a des rebonds. Les logidules poussoirs ou interrupteurs double ont une bascule pour les supprimer.



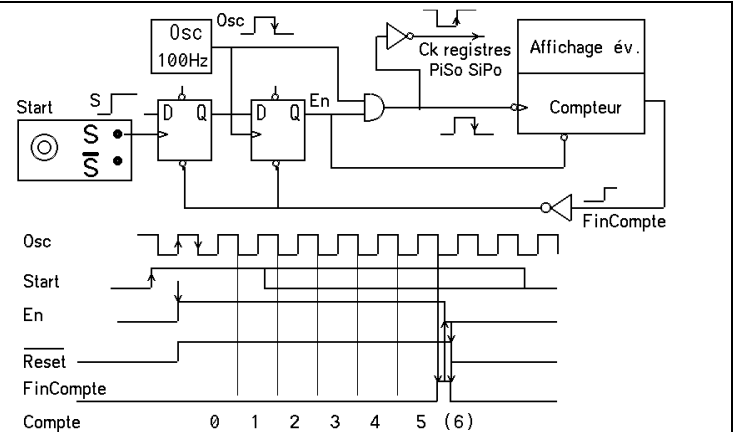
Bascules D et JK

Voir l'annexe pour un rappel. La bascule D, prend l'état de l'entrée D au front **montant**. La bascule JK bascule du côté à un au front **descendant**. Donc elle divise par 2 si les 2 entrées son à 1 (en l'air) et elle est bloquée si les 2 entrées sont à zéro.

Envoi de 8 impulsions

L'impulsion d'horloge doit être vue comme une impulsion positive, la fin de l'impulsion est la partie active qui fait compter et décaler. Pour préparer une opération on utilise parfois la 1ere transition de l'impulsion.

La fin du comptage est définie par un état statique (le compteur est à l'état 8 avec Q3=1), ou par une transition (Q3 passe à 1), auquel cas une bascule supplémentaire est nécessaire.

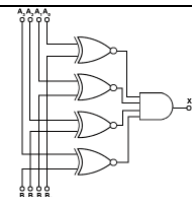


Le clock des compteurs synchrones comme le 163 ne passe pas par une porte ET. Cette porte est interne. Le reset est dynamique sur le 163, on doit raisonner tout différemment, voir plus loin. A noter que la règle des ronds d'inversion ne joue pas; elle est contraire!

Comparaison d'égalité

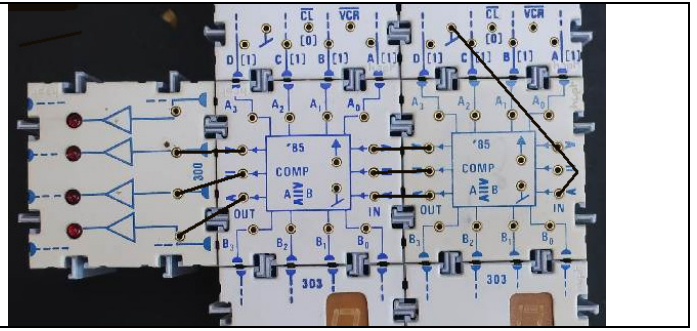
La comparaison d'égalité se fait avec des OU exclusifs et une porte ET.

Si le but est de déterminer quand un compteur atteint une valeur limite qui ne sera jamais dépassée en fonctionnement normal, une porte ET suffit, comme on l'a vu pour un compteur par 10 ou 24.



Comparaison d'inégalité

Pour avoir les 3 cas de comparaison, la logique devient complexe et il faut utiliser les circuits existants. Le logidule 74LS85 se cascade en activant l'égalité pour le module de poids faible.



Registre à décalage

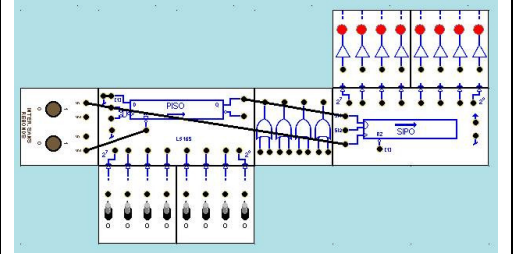
La terminologie est mnémotechnique:

SiPo Serial In Parallel Out

PiSo Parallel In Serial Out

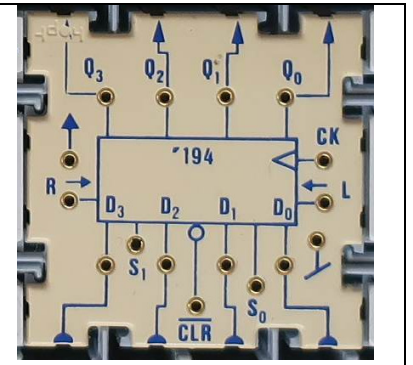
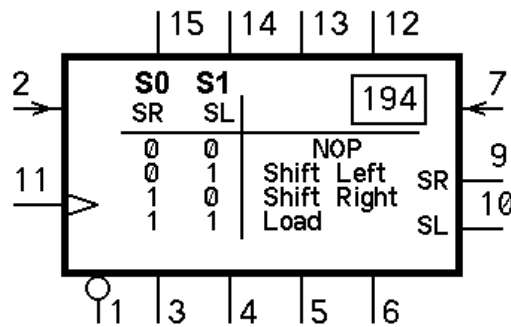
PiPo Parallel In Parallel Out

Attention, le chargement parallèle peut être asynchrone (effet immédiat - 74LS165), ou échantillonné - 74LS164).



Le circuit 74LS194 est un module multifonctionnel qui remplace les circuits PiSo et SiPo que l'on trouve dans le simulateur de logidules. Le 194 est synchrone, son état futur dépend de l'état de deux signaux de contrôle appelé S0=SR (shift right) et S1=SL (shift left). Si SR=SL=1, (état par défaut), on charge les entrées PiPo et PiSo.

Donc, pour décaler à droites, ce qui est usuel dans les transmissions série, il faut mettre S0=SR au + (en l'air), S1=SL au Gnd et câbler l'entrée R (pin2) sur le poids faible de l'étage précédent. Le signal /Rz=/Clr est ici statique, actif à zéro.



Registre PiSo avec un 194

Le mauvais marquage du 194 et le fait que les entrées non connectées sont à 1 ne facilite pas le raisonnement.

L'horloge est continuellement active et il faut sélectionner l'un de 3 modes:

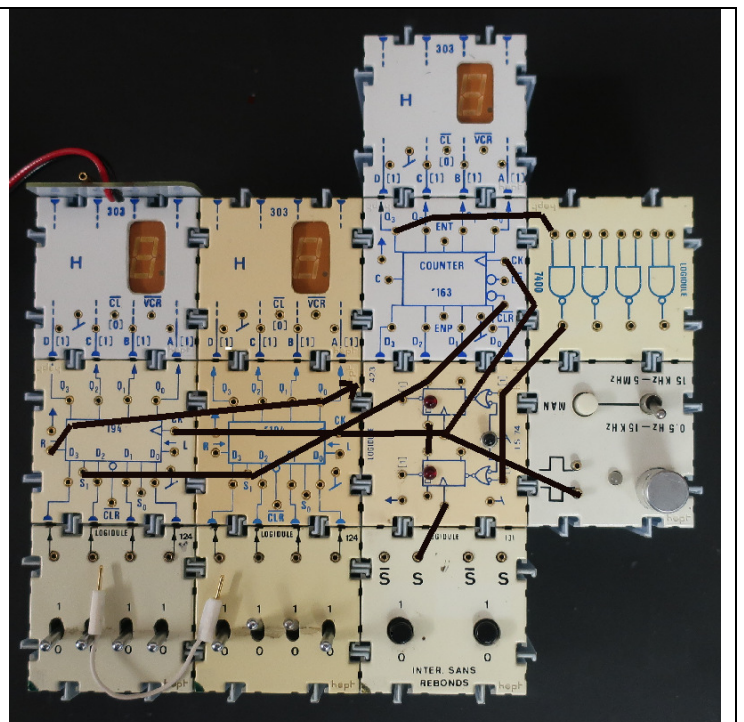
NOP pas d'action S0=S1=0

Décalage à droite S1 = 0

Load charge en parallèle S0 S1 en l'air.

Pour la fonction PiSo, le chargement peut être répété, avec l'avantage que si on change l'entrée, la sortie est mise à jour de suite. Le transfert série se fait en comptant les clocks.

Le séquenceur n'a besoin de considérer que 2 états: attente et décalage avec la bascule Envoi active jusqu'à la fin du compte. La bascule Envoi mets S1 à zéro, S0 reste en l'air.

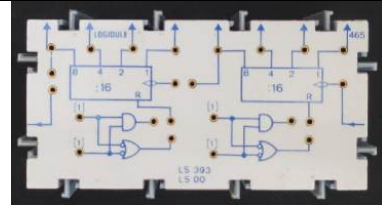
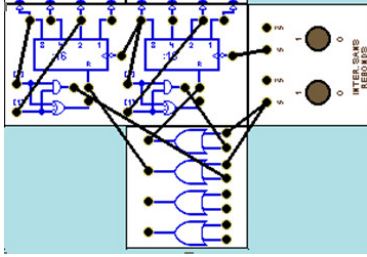


Compteurs

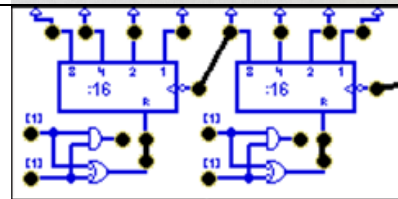
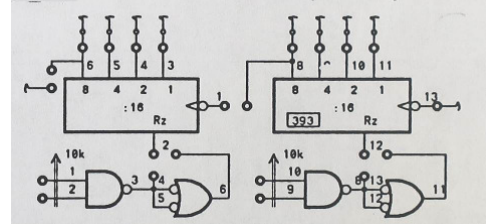
Ne nous intéressons qu'aux compteurs logidules.

Compteur par 256 (74LS293)

C'est un compteur binaire. Avec la porte ET, on peut facilement agir sur le reset statique pour faire un compteur par 10 ou 6. Dans le cas d'un compteur par 6, c'est la sortie de poids 4 qui doit commander l'étage suivant



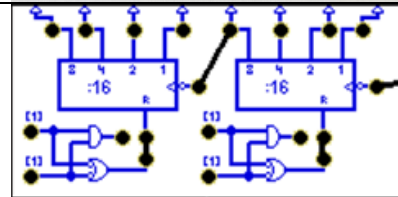
Double compteurs par 16



Simulateur – compteur par 256

La porte OU avec entrées inversées est simulée comme une porte OU. Pour que le compteur tourne, il faut câbler R sur un Gnd.

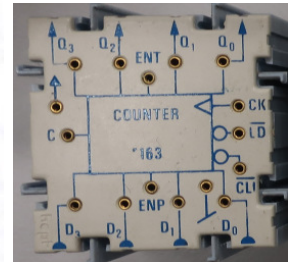
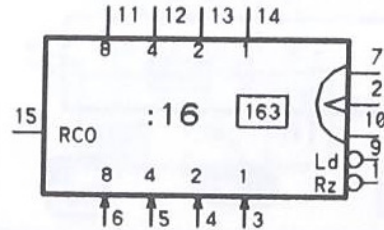
Nb: soft simulateur pas encore corrigé, voir *DifferencesSimu.doc*



Compteur synchrone

Le compteur 74LS163 est synchrone et toutes ses entrées de commandes sont échantillonnées par le front montant de l'horloge.

Tous les compteurs reçoivent la même horloge, mais ne basculent que si ENT et ENP sont à 1.



Le compteur 74LS163 a des entrées parallèles que l'on n'utilise pas dans les labos proposés. Contrairement au registre série '194 le reset est dynamique; l'effet à lieu au front montant de l'horloge.

La sortie RCO (Ripple Carry Out) est active si le compteurs est à l'état 15 et l'entrée ENT (pin 17) est active.

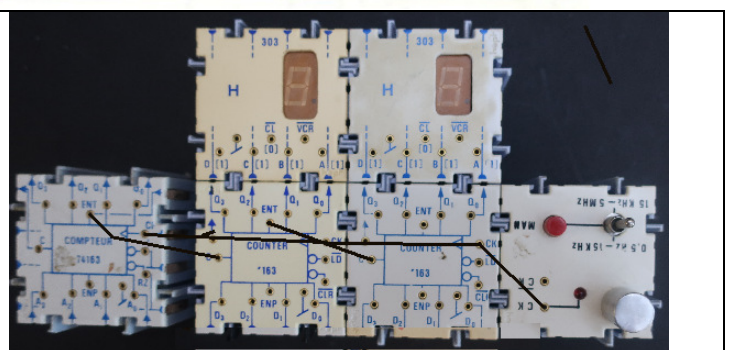
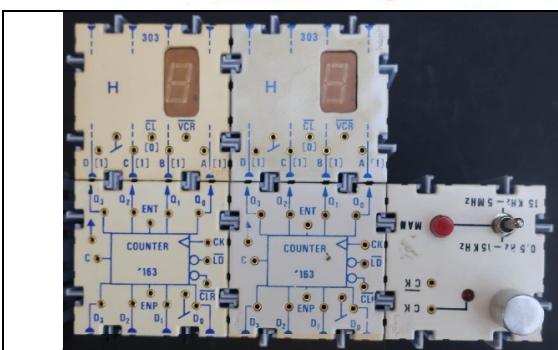
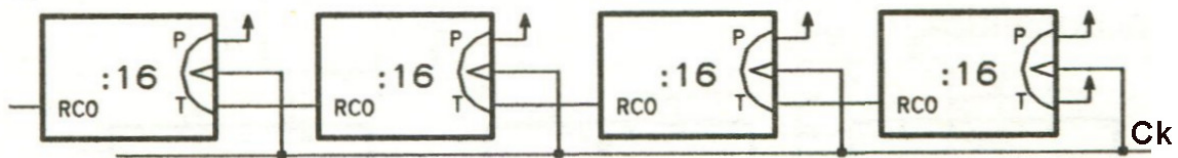
Si Rz est à zéro, le compteur passe à zéro au prochain Ck.

Si Ld est à zéro, le compteur prend la valeur des 4 entrées, 0xF si rien n'est connecté.

Par défaut, les entrées sont à 1, donc le compteur compte par 16 si on agit seulement sur le Ck

Compteur binaire synchrone

Le compteur 163 se cascade en utilisant la sortie RCO qui décode l'état 15 et l'entrée ENT de l'étage suivant. ENP partout à zéro bloque le compteur. On peut aller plus vite en utilisant l'entrée ENP et des portes extérieures. Pour nous, ENT et ENP ont le même effet d'inhiber l'effet de l'horloge.



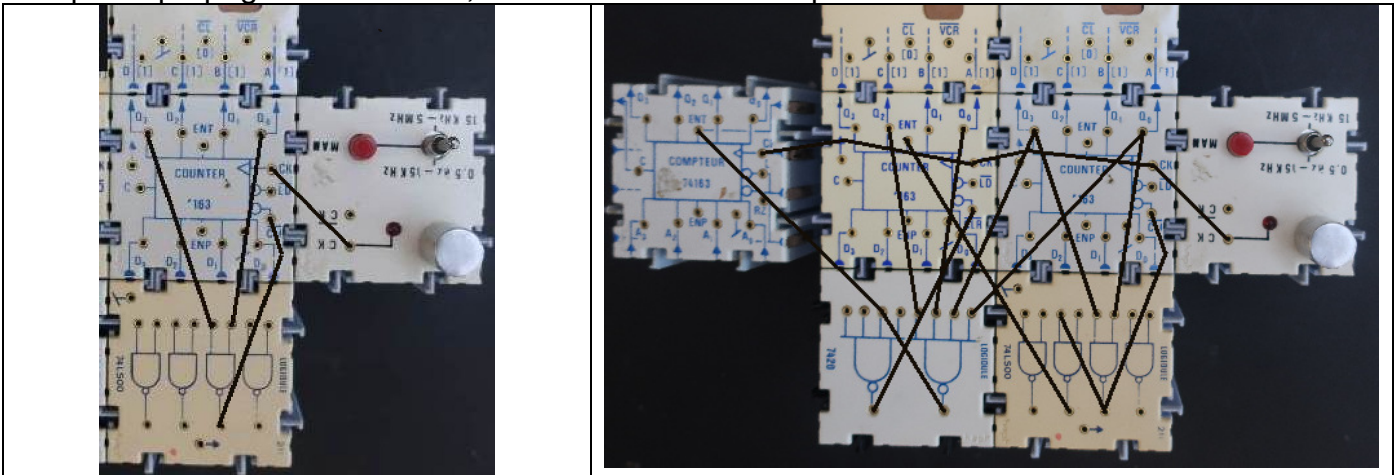
Compteur par 10 et par 100

Pour faire un compteur par 10, il faut raisonner en pensant que si on est à l'état 9, l'état suivant est zéro. Une porte Nand avec sa sortie sur le /Rz compte correctement.

Pour faire avancer le compteur suivant, RCO n'est plus utilisable, il faut générer un RC10out, qui est le signal Rz (donc il faut inverser /Rz avec une 2^e porte Nand).

Pour faire le compteur par 100, on ne peut pas répéter le schéma du compteur par 10 ! A l'état 90. Le 9 serait décodé et le compteur passerait à zéro. Il faut décoder l'état 99. Une porte à 4 entrées décode cet état et après inversion génère le ENT100 pour l'étage de compteur suivant. Ce signal ENT100 devra être utilisé pour générer le ENT10000.

On voit que l'approche synchrone, avec toutes les bascules à la fréquence maximale de fonctionnement, exige que l'état futur de chaque bascule est décidé par une logique qui a un temps de propagation minimum, donc sans cascade de portes.

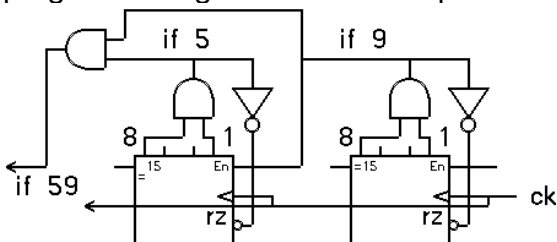


Horloge

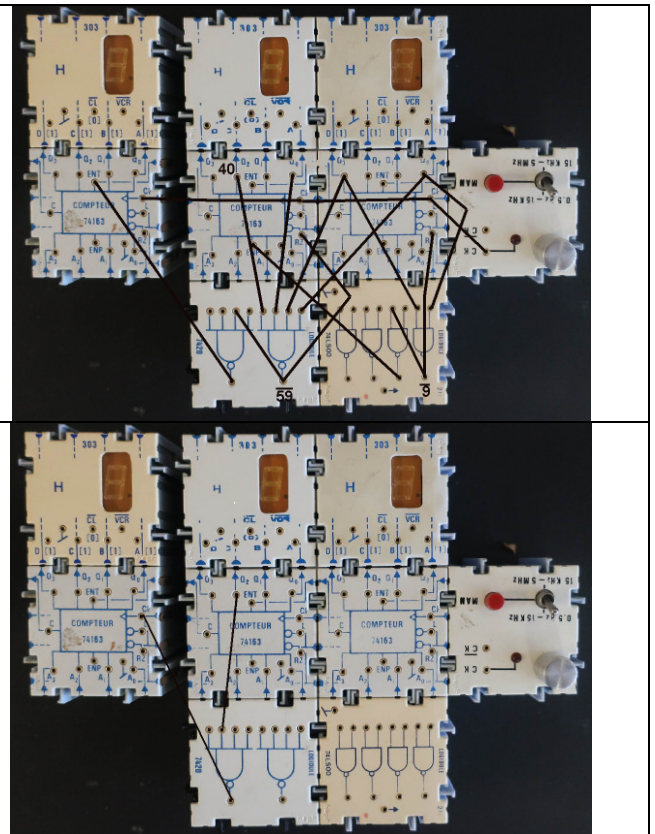
Pour une horloge à la seconde, on divise par 60 (modification mineure) puis 60x60, puis 60x60x24. La logique est beaucoup plus importante qu'avec un compteur asynchrone, qui transmet l'horloge d'un module au suivant, avec comme conséquence que le dernier étage change avec un retard significatif par rapport au premier. En conséquence, si on veut décoder une heure précise, on aura des "glitch".

Compteur par 100 ou 60

Pour un compteur par 10x10 il faut décoder l'état 9 des unités et activer le reset. On ne peut pas faire de même pour les dizaines, le 90 serait immédiatement remis à zéro. Il faut décoder l'état 99 et ce signal va autoriser le comptage de l'étage suivant. Idem pour 59.



Une solution semi-asynchrone simplifiée, mais un inverseur est nécessaire puisque la sortie 40 passe à zéro et le Ck est actif au front montant.



Des labos partiellement documentés sont associés à un ensemble de logidules qui permettent de réaliser un montage intéressant et d'augmenter sa fonctionnalité.

Les documents suivants sont disponibles sur demande, ils ne sont pas assez bien finis pour être mis sur internet.

LaboReflexes

LaboCalculatriceSerie

LaboHorloge7jours

LaboReveilMatin

LaboTransmissionsSerie

LaboCryptage

Demos avec quelques logidule inutilisables pour autre chose

SonsContinu

Decodeur 7-segments

Compteur binaire

Registre pseudoaleat

Annexe

Extraits de

Circuits numériques pour interfaces microprocesseur

Jean-Daniel Nicoud, 1991

■ Disponible EPFL Bibliothèque Sous-sol zone B1 | M 1991 et autres emplacements >

Horloge

Toutes les bascules et registres ne sont pas sensibles au même sens du front. Par convention, un front descendant actif est mis en évidence par un rond d'inversion devant le triangle (figure 3.14a). Un front montant actif n'a pas de rond d'inversion (figure 3.14b).



Fig. 3.14 Convention pour les fronts

3.2.4 Bascule D

La bascule D prend l'état de l'entrée D lors de l'impulsion d'horloge. L'entrée D est échantillonnée au front montant de l'horloge, avec les bascules usuelles (figure 3.17).

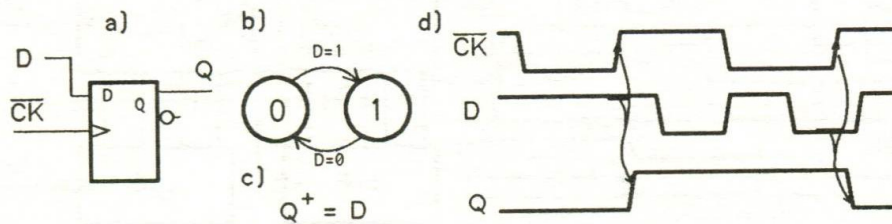


Fig. 3.17 Caractéristiques de la bascule D

Bascule JK

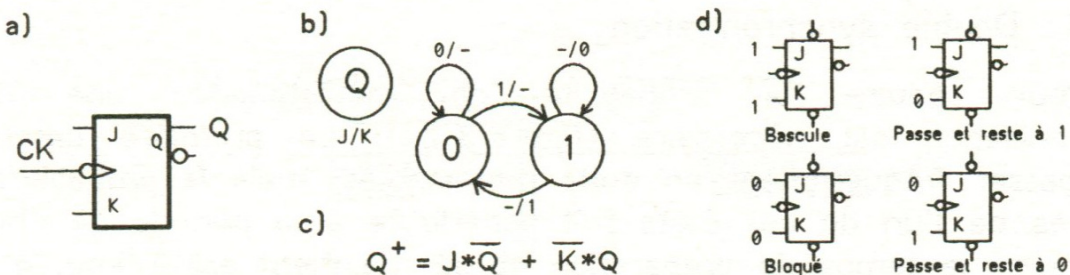


Fig. 3.25 Caractéristiques de la bascule JK

3.2.16 Attrapeur de 1

Comme son nom l'indique, le circuit attrapeur de 1 (*one's catcher*) bascule dès qu'un état "1" est présent sur les entrées et mémorise ce fait. L'action peut être statique (figure 3.30a): une impulsion brève suffit à faire basculer jusqu'au prochain réamorçage (remise à zéro). L'action est dite dynamique si elle est échantillonnée par le front d'une horloge.

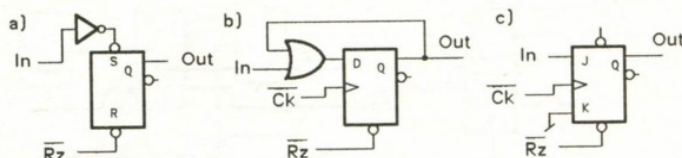


Fig. 3.30 Attrapeurs de 1 statiques et dynamiques

2.9.2 Comparaison série

La comparaison d'égalité de deux mots binaires se réalise facilement en série, Une bascule D en "attrapeur de 1" (figure 2.50a) ou une bascule JK (figure 2.50b) est remise à zéro en début de cycle. Le premier bit différent modifie l'état de la bascule jusqu'à la prochaine remise à zéro.

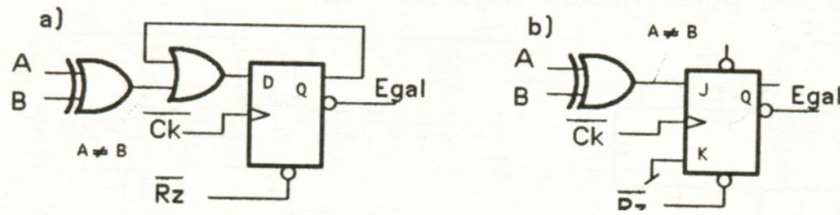


Fig. 2.50 Comparateur série

3.2.19 Préleveur de période

Le préleveur de période génère, en réponse au front d'un signal d'entrée, un signal de sortie dont la durée est égale à une période. Deux bascules sont nécessaires (figure 3.33a). Si le signal In est asynchrone par rapport à l'horloge, il y a risque d'états métastables lorsque X est activé à l'instant d'échantillonnage. Une bascule de synchronisation supplémentaire est nécessaire pour réduire la probabilité de ces états métastables (figure 3.33d).

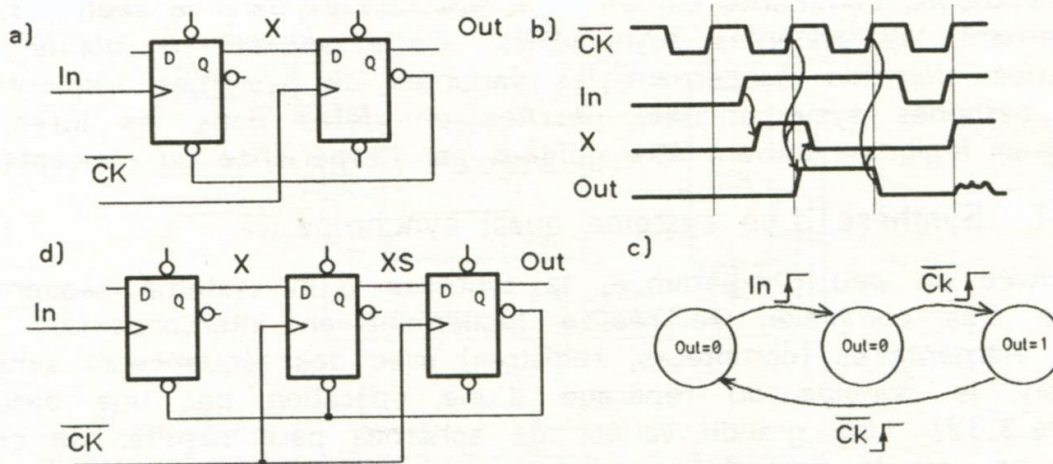


Fig. 3.33 Préleveur de période